

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340337

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 10-145533

(71)Applicant : SONY CORP

(22)Date of filing : 27.05.1998

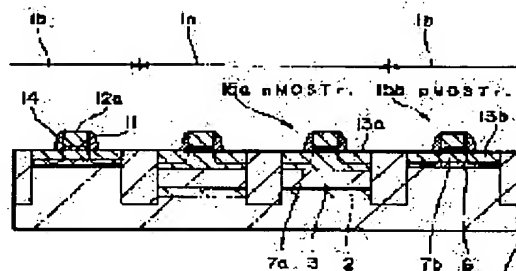
(72)Inventor : SUGAWARA MINORU  
NOGUCHI TAKASHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a complementary field-effect transistor which can be operated at a high speed and whose power consumption can be reduced.

**SOLUTION:** In the surface region of a silicon substrate 1 on which an nMOS (metal-oxide semiconductor) transistor 15a is formed, a buffer layer 2 composed of silicon germanium whose germanium concentration is increased gradually toward an upper layer, a relax layer 3 composed of silicon germanium whose germanium concentration is nearly identical to that of the surface layer of the buffer layer 2 and a silicon layer 7a which comprises a strain effect are formed sequentially on the silicon substrate 1. A source-drain 13a is formed in the silicon layer 7a. In the surface region of the silicon substrate 1 on which a pMOS(metal-oxide semiconductor) Tr 15b is formed, a silicon germanium layer 6 which comprises a strain effect and a cap layer 7b which is composed of silicon are formed on the silicon substrate 1, and a source-drain 13b is formed in the silicon germanium layer 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340337

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 B

27/092

29/78

3 0 1 X

29/78

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平10-145533

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成10年(1998) 5 月 27 日

(72) 発明者 菅原 稔

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72) 発明者 野口 隆

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

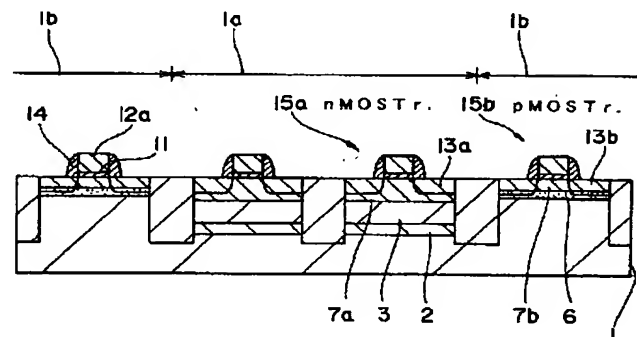
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 高速動作が可能でかつ費電力の低減を図ることが可能な相補型の電界効果トランジスタを提供する。

【解決手段】 nMOSトランジスタ 15 a が設けられた基板の表面領域は、シリコン基板 1 上に、上層に向かってゲルマニウム濃度が徐々に高められたシリコンゲルマニウムからなるバッファ層 2、バッファ層 2 の表面層と同程度のゲルマニウム濃度を有するシリコンゲルマニウムからなるリラックス層 3、ストレイン効果を有するシリコン層 7 a を順に形成してなり、シリコン層 7 a にソース・ドレイン 13 a が設けられている。pMOST r. 15 b が設けられた基板の表面領域は、シリコン基板 1 上にストレイン効果を有するシリコンゲルマニウム層 6、シリコンからなるキャップ層 7 b が設けられ、シリコンゲルマニウム層 6 にソース・ドレイン 13 b が設けられている。



## 【特許請求の範囲】

【請求項1】 nチャンネル型電界効果トランジスタとpチャンネル型電界効果トランジスタとを同一基板に設けてなる半導体装置において、前記nチャンネル型電界効果トランジスタが設けられた前記基板の表面領域は、シリコン基板と、前記シリコン基板上に形成されたもので上層に向かってゲルマニウム濃度が徐々に高められたシリコンゲルマニウムからなるバッファ層と、前記バッファ層上に形成されたもので当該バッファ層の表面層と同程度のゲルマニウム濃度を有するシリコンゲルマニウムからなるリラックス層と、前記リラックス層上に形成されたシリコン層とからなり、前記pチャンネル型電界効果トランジスタが設けられた前記基板の表面領域は、前記シリコン基板と、前記シリコン基板上に形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコンからなるキャップ層とからなることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記nチャンネル型電界効果トランジスタのソース・ドレインは、前記シリコン層に形成され、前記pチャンネル型電界効果トランジスタのソース・ドレインは、前記シリコンゲルマニウム層に形成されたことを特徴とする半導体装置。

【請求項3】 nチャンネル型電界効果トランジスタとpチャンネル型電界効果トランジスタとを同一基板に設けてなる半導体装置の製造方法であって、シリコン基板においてnチャンネル型電界効果トランジスタが形成されるn型領域の表面層をエッチングして段差凹部とする工程と、前記シリコン基板上に上層に向かってゲルマニウム濃度が徐々に高められたシリコンゲルマニウムからなるバッファ層を形成する工程と、前記バッファ層上に当該バッファ層の表面層と同程度のゲルマニウム濃度を有するシリコンゲルマニウムからなるリラックス層を形成する工程と、前記リラックス層上にシリコン層を形成する工程と、レジストパターンをマスクにしたエッチングによって、シリコン基板においてpチャンネル型電界効果トランジスタが形成されるp型領域における前記シリコン層、前記リラックス層及び前記バッファ層を除去する工程と、前記シリコン基板上及び前記シリコン層上に、シリコンゲルマニウム層を形成する工程と、前記n型領域に前記シリコン層を露出させかつ前記p型領域に前記シリコンゲルマニウム層を残す状態に、当該

シリコンゲルマニウム層の表面に対して平坦化処理を行う工程と、

前記シリコン層及び前記シリコンゲルマニウム層上にシリコンエピタキシャル層を形成し、前記n型領域に前記シリコン層と当該シリコンエピタキシャル層とからなるシリコン層を形成すると共に、前記p型領域に当該シリコンエピタキシャル層からなるキャップ層を形成する工程と前記n型領域の前記シリコン層上及び前記p型領域の前記キャップ層上にゲート絶縁膜を介してゲート電極を形成した後、当該シリコン層にn型のソース・ドレインを形成し、前記シリコンゲルマニウム層にp型のソース・ドレインを形成する工程とを行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、特にnチャンネル型電界効果トランジスタとpチャンネル型電界効果トランジスタとを同一基板に設けてなる半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、情報処理手段の急速なデジタル化に伴い、半導体装置の高速化及び低消費電力化の要求が高まってきている。従来、上記半導体装置の高速化は素子構造の微細化によって達成され、また低消費電力化は素子構成を相補型、すなわちnチャンネル型とpチャンネル型の電界効果トランジスタとを備えた構成にすることによって達成してきた。ところが、素子構造の微細化の進行に伴い、現在では既にリソグラフィー技術において露光波長よりも小さなパターンを形成せざるを得ない状況に有る。このため、リソグラフィー工程においては、十分なプロセス余裕度を確保することが困難になりつつあり、微細化による半導体装置の高速化は限界に近づきつつある。

【0003】そこで、電界効果トランジスタにおいては、チャネルとなる層にストレイン（歪み）効果を有する材料層を用いることが提案されている。ストレイン効果を有する材料層を用いたデバイスの形成は、シリコン／シリコンゲルマニウムなどIV族半導体材料と薄膜形成技術の進歩により可能になってきており、現在、高性能、低電圧デバイスを目的とした開発が積極的に行われている。ここでストレイン効果とは、薄膜半導体において膜が応力を受けた場合、エネルギーバンドが歪み、キャリアの有効質量が変化することをいう。このストレイン効果を有する半導体薄膜は、分子線エピタキシー技術、超高真空下における化学的気相成長（UHV-CVD）技術等によって、例えばシリコン／シリコンゲルマニウムなどの多層膜を工夫して膜の内部応力を制御することで形成することが可能になってきている。このように、バンドギャップ差や膜のストレインをヘテロ接合に

より制御した高性能MOS系デバイス、センサ等の開発も進んできている。

【0004】シリコン系MOS (Metal-Oxide-Semiconductor) トランジスタの場合、ゲルマニウム濃度を上層に向けて徐々に高めたシリコンゲルマニウムからなるバッファ層、シリコンゲルマニウムからなるリラックス層及びシリコン層を下層から順にシリコン基板上に形成することで、上記シリコン層には引っ張り応力が生じる。そしてこのシリコン層では、引っ張り応力に伴うストレイン効果によって電子の移動度が上昇する。一方、シリコン基板上に、形成したシリコンゲルマニウム層には圧縮応力が生じ、このシリコンゲルマニウム層では圧縮応力に伴うストレイン効果によって正孔の移動度が上昇する。

【0005】以上のようなストレイン効果を利用してチャネルとなる層の応力を制御して作製した電界効果トランジスタでは、高い相互コンダクタンス [gm (mobility)] が得られている。そして、Appl. Phys. Letter (USA), 63 (1993) S. P. Voinigensen et al., p66 0 およびIEEE Electronic Devices (USA), 43 (1996) L. H. Jiang and R. G. Elliman, p97 にはpMOSトランジスタが開示されている。また、Appl. Phys. Letter (USA), 64 (1994) K. Ismail et al., p3124 およびIEDM 94-37 (USA), (1994) J. Welser et al. にはnMOSトランジスタが開示されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記ストレイン効果を利用した半導体装置には、以下のような課題がある。すなわち、リラックス層上に形成されたシリコン層では、引っ張り応力に伴うストレイン効果によって電子の移動度が向上したとしても、正孔の移動度が低下してしまう。このため、高性能低電圧のnMOSTランジスタを得られるものの、pMOSの性能を向上させることはできず、したがってCMOSの性能を大幅に向上させることはできない。一方、シリコン基板上のシリコンゲルマニウム層では、圧縮応力によるストレイン効果によって正孔の移動度が向上したとしても、電子の移動度が低下してしまう。このため、高性能低電圧のpMOSTランジスタを得られるものの、nMOSの性能を向上させることはできず、したがってCMOSの性能を大幅に向上させることはできない。以上のことから、高性能なCMOSを得ることはできず、したがって高性能でかつ低消費電力の半導体装置を得ることができなかった。

【0007】そこで、本発明は、ストレイン効果により電子の移動度を上昇させたnMOSと、正孔の移動度を上昇させたpMOSとを同一基板上に設けたことによって高速でかつ低消費電力の半導体装置を提供すると共に、従来のシリコン用のCMOS製造プロセスを用いることができる上記半導体装置の製造方法を提供すること

を目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するための本発明の半導体装置は、nチャンネル型電界効果トランジスタとpチャンネル型電界効果トランジスタとを同一基板上に設けてなる半導体装置である。そして、前記nチャンネル型電界効果トランジスタが設けられた前記基板の表面領域は、シリコン基板上に、バッファ層、リラックス層及びシリコン層を順に設けた構成になっている。上記バッファ層は、上層に向かってゲルマニウム濃度が徐々に高められたシリコンゲルマニウムからなる。また、リラックス層は、上記バッファ層の表面層と同程度のゲルマニウム濃度を有するシリコンゲルマニウムからなる。そして、上記nチャンネル型電界効果トランジスタのソース・ドレインは上記シリコン層に形成されている。一方、前記pチャンネル型電界効果トランジスタが設けられた前記基板の表面領域は、上記シリコン基板上に、シリコンゲルマニウム層及びシリコンからなるキャップ層を順に設けた構成になっている。そして、上記pチャンネル型電界効果トランジスタのソース・ドレインはシリコンゲルマニウム層に形成されている。

【0009】上記半導体装置では、同一のシリコン基板上にnチャンネル型電界効果トランジスタとpチャンネル型電界効果トランジスタとが設けられたCMOS構成になっていることから、低消費電力を達成できる。また、上記nチャンネル型電界効果トランジスタでは、バッファ層上に形成されたことで応力が緩和されたシリコンゲルマニウムからなるリラックス層上にシリコン層を設けたことで、当該シリコン層では引っ張り応力に伴うストレイン効果によって電子の移動速度が上昇する。一方、上記pチャンネル型電界効果トランジスタでは、シリコン基板上にシリコンゲルマニウム層を設けたことで、当該シリコンゲルマニウム層では圧縮応力に伴うストレイン効果によって正孔の移動速度が上昇する。そして、このようなシリコン層及びシリコンゲルマニウム層にソース・ドレインが形成されていることから、この半導体装置においては、nチャンネル型電界効果トランジスタ及びpチャンネル型電界効果トランジスタの動作速度が向上する。

【0010】また本発明の半導体装置の製造方法は、まず、シリコン基板においてnチャンネル型電界効果トランジスタが形成されるn型領域の表面層をエッチングして段差凹部とした後、前記シリコン基板上に上層に向かってゲルマニウム濃度が徐々に高められたシリコンゲルマニウムからなるバッファ層、このバッファ層の表面層と同程度のゲルマニウム濃度を有するシリコンゲルマニウムからなるリラックス層、及びシリコン層を順に形成する。次に、pチャンネル型電界効果トランジスタが形成されるp型領域における上記シリコン層、リラックス層及びバッファ層を除去する。その後、シリコンゲルマ

ニウム層を形成し、上記n型領域にシリコン層を露出させかつ上記p型領域にシリコンゲルマニウム層を残す状態に、当該シリコンゲルマニウム層の表面を平坦化する。次いで、シリコンエピタキシャル層を形成し、n型領域に上記シリコン層とシリコンエピタキシャル層とからなるシリコン層を形成すると共に、p型領域にこのシリコンエピタキシャル層からなるキャップ層を形成する。しかる後、n型領域のシリコン層上及びp型領域のキャップ層上にゲート絶縁膜を介してゲート電極を形成し、上記シリコン層にn型のソース・ドレインを形成し、上記シリコンゲルマニウム層にp型のソース・ドレインを形成する。

【0011】上記製造方法では、シリコン基板におけるn型領域上には、バッファ層及びリラックス層を介してシリコン層が形成され、このシリコン層にソース・ドレインが形成されたnチャンネル型電界効果トランジスタが得られる。また、シリコン基板におけるp型領域上には、シリコンゲルマニウム層が形成され、このシリコンゲルマニウム層にソース・ドレインが形成されたpチャンネル型電界効果トランジスタが得られる。この際、シリコン基板のn型領域に形成された段差凹部にバッファ層、リラックス層、シリコン層を残した状態でシリコンゲルマニウム層が形成され、上記n型領域にのみシリコン層を露出させるようにシリコンゲルマニウム層の表面がCMPを用いて平坦化されることから、上記nチャンネル型電界効果トランジスタ及びpチャンネル型電界効果トランジスタのゲート電極は平坦な基板上に形成されることになる。このため、シリコン基板のみで基板が構成される半導体装置と平面構造が同等になる。

#### 【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図1は、本発明を適用した半導体装置の断面図である。この半導体装置は、nチャンネル型電界効果トランジスタであるnMOSTr. 15aと、pチャンネル型電界効果トランジスタであるpMOSTr. 15bとを同一基板上に設けてなるCMOS構成の半導体装置である。また、図2～図6は、この半導体装置の製造方法を説明するための工程断面図であり、以下にこれらの図を用いて上記半導体装置の製造方法から順に説明する。

【0013】図2(1)に示すように、チョクラルスキー(CZ)法によって引き上げられたp型のシリコン基板1を用意する。このシリコン基板1は、例えば直径200mmのものである。その後、nMOSTr. を形成する予定のn型領域1aを露出させ、pMOSTr. を形成する予定のp型領域1bを覆う状態で、シリコン基板1上にレジストパターン(図示省略)を形成する。このレジストパターンは、リソグラフィー法によって形成し、例えば2.0 $\mu$ mの膜厚を有している。次に、このレジストパターンをマスクに用いてシリコン基板1をエ

ッチングし、n型領域1aを深さ2.3 $\mu$ m程度の段差凹部とする。このエッチングは、例えば4フッ化メタン(CF<sub>4</sub>)のようなフッ素ガスを含む高密度プラズマ中に行う。エッチング終了後には、上記レジストパターンを除去する。

【0014】次に、図2(2)に示すように、シリコン基板1上に、ゲルマニウム(Ge)濃度を厚さ方向に変化させたシリコンゲルマニウム[Si(1-x)Ge(x)]からなるバッファ層2を形成する。このバッファ層2は、例えば膜厚1.68 $\mu$ m程度で、シリコン基板1側から上層側に向けて上記ゲルマニウムの組成比をx=0~0.3の範囲で変化させて成膜される。ただし、ゲルマニウムの組成比xの上限、すなわちバッファ層2の最表層におけるゲルマニウムの組成比xは、0.3を越えても良く、好ましくはx=0.5を越えないように設定される。

【0015】上記構成のバッファ層2は、超高真空化学的気相成長(UHV-CVD)法によってシリコン基板1上に堆積させる。ここでは、例えばロードロックチャンバ、石英管からなる反応室及びアンロードロックチャンバから構成されたCVD装置を用い、石英ボート上に縦置きされた20枚のシリコン基板1に対して上記反応室内にて成膜処理を行う。この際、基板温度を600℃~900℃の好適な温度に設定し、反応室内に水素ガス(H<sub>2</sub>)またはアルゴンガス(Ar)をキャリアガスとしてフローさせた状態で、シランガス(SiH<sub>4</sub>)とゲルマンガス(GeH<sub>4</sub>)をフローさせる。また、成膜初期においては、キャリアガスとシランガスのみをフローさせてSi結晶を0.1 $\mu$ m~0.3 $\mu$ m程度堆積させ、上記エッチング時に形成されたシリコン基板1の表面荒れを緩和させる。次に、組成比に応じたゲルマンガスを流量調整しながらフローさせる。この場合、シランガスとゲルマンガスとの流量の調整は、シランガスとゲルマンガスを、例えば数sec~数百msecの間隔で交互に導入することによって行う。これによって、流量の調整がより容易になり、かつ結晶性も向上する。また、上記時間間隔は、反応室や排気系のコンダクタンス及びガス滞在時間によって適宜好適な値を選択することとし、ガス流量はコンピュータ制御された高速応答のマスフローコントローラにて行うこととする。また、装置構成は、枚葉式のものを用いても良い。尚、形成されたバッファ層2は、オフラインにてX線回折、ラザフォード後方散乱(RBS)、二次イオン質量分析(SIMS)、透過型電子顕微鏡(TEM)、分光エリプソ、表面反射率等の解析手段によって、所望の組成が得られているか否かをチェックする。

【0016】次に、図2(3)に示すように、以上のようにして得られたバッファ層2上に、シリコンゲルマニウム[Si(1-y)Ge(y)]からなるリラックス層3を形成する。このリラックス層3におけるゲルマニウムの

組成比 $y$ は、パッファ層2の最表層におけるゲルマニウムの組成比 $x$ と同程度に設定されることとする。これによって、このリラックス層3を、応力が緩和された層として成膜する。また、このリラックス層3の膜厚は、例えば膜厚 $0.6\mu\text{m}$ 程度にする。

【0017】上記構成のリラックス層3の成膜は、上記パッファ層2の成膜に引き続き上記反応室内で行われ、パッファ層2の成膜と同様にシランガスとゲルマンガスを、例えば数 $\text{sec}$ ～数百 $\text{msec}$ の所定間隔で交互に導入することによって行う。

【0018】次に、図2(4)に示すように、上記反応管内に少量のキャリアガスをフローしながら基板温度を $600^\circ\text{C}$ にまで冷却する。この際、急激な温度低下による熱応力の発生を避けるために、 $-2^\circ\text{C}/\text{min}$ 程度の速度で基板温度を低下させるようにする。そして、基板温度が $600^\circ\text{C}$ にまで低下した後、キャリアガスに加えてシランガスをフローさせ、リラックス層3上にシリコンをエピタキシャル成長させてなるシリコン層4を形成する。これによって、このシリコン層4に、引っ張り応力を発生させ、引っ張り応力に伴うストレイン効果を有する層として成膜する。このシリコン層4は、ストレイン効果を有する層としてのみ成膜されるだけではなく、リラックス層3を外部環境から保護するものにもなる。尚、このシリコン層4は、 $n$ 型領域1aにおける表面が $p$ 型領域におけるシリコン基板1の表面よりも、 $50\text{nm}$ ～ $100\text{nm}$ 程度高くなるような膜厚に設定されることとする。

【0019】その後、図3(1)に示すように、シリコン層4上に犠牲酸化膜5を形成する。この犠牲酸化膜5は、熱酸化法またはCVD法によって形成する。この際、先の工程で形成したシリコンゲルマニウムからなる各層の結晶状態の変質を抑えるために、成膜温度を $850^\circ\text{C}$ 以下に抑えて成膜を行うこととする。ただし、急速熱酸化(RTA)やレーザアニールによって、この犠牲酸化膜5を形成する場合には、限定された領域の加熱温度がゲルマニウムの融点である $937^\circ\text{C}$ 以下に抑えられる条件にて成膜を行えば良い。

【0020】次に、図3(2)に示すように、 $p$ 型領域1bにおける犠牲酸化膜5、シリコン層4、リラックス層3及びパッファ層2をエッチング除去し、 $p$ 型領域1bにシリコン基板1を露出させる。この際、 $n$ 型領域1aを覆い、 $p$ 型領域1bを露出させる状態で、シリコン基板1上に形成した膜厚 $2.3\mu\text{m}$ 程度のレジストパターン(図示省略)をマスクに用いたエッチングを行う。このエッチングは、例えば $\text{CF}_4$ のようなフッ素ガスを含む高密度プラズマ中にて行う。エッチング終了後には、上記レジストパターンを除去する。

【0021】次いで、化学的機械研磨(CMP)を行うことによって、上記エッチングによるシリコン基板1の

表面層のダメージを除去する。このCMP工程においては、犠牲酸化膜5が $n$ 型領域1aのマスクになり、 $p$ 型領域1bにおけるシリコン基板1の表面層のみが研磨される。

【0022】その後、図3(3)に示すように、例えば希フッ酸を用いたウェットエッチングによって、犠牲酸化膜5を除去する。この犠牲酸化膜5を除去した後は、 $n$ 型領域1aのシリコン層4表面は、 $p$ 型領域1bのシリコン基板1表面よりも $50\text{nm}$ ～ $100\text{nm}$ 程度高くなる。

【0023】次に、図4(1)に示すように、シリコン基板1及びシリコン層4上に、シリコンゲルマニウム $[\text{Si}(1-z)\text{Ge}(z)]$ 層6を形成する。このシリコンゲルマニウムにおけるゲルマニウムの組成比 $z$ は、 $z=0.1\sim 0.8$ の間の所定値に設定され、好ましくは $z=0.2$ 付近に設定されることとする。また膜厚は、 $100\text{nm}$ 程度で形成されることとする。このような構成のシリコンゲルマニウム層6の成膜は、パッファ層2の成膜と同様にシランガスとゲルマンガスを、例えば数 $\text{sec}$ ～数百 $\text{msec}$ の所定間隔で交互に導入することによって行う。以上のようにして、シリコン基板1上に設けられたことによって、圧縮応力に伴うストレイン効果を有するシリコンゲルマニウム層6を形成する。

【0024】その後、図4(2)に示すように、CMP法によって、シリコンゲルマニウム層6の表面を平坦化し、 $p$ 型領域1bにシリコンゲルマニウム層6を残した状態で $n$ 型領域1aにシリコン層4を露出させる。この平坦化処理によって、 $n$ 型領域1aのシリコン層4は膜厚 $20\text{nm}$ 程度になり、 $p$ 型領域1bにシリコンゲルマニウム層6は膜厚 $10\text{nm}$ 程度になる。

【0025】次に、図4(3)に示すように、シリコン層4及びシリコンゲルマニウム層6上に、シリコンエピタキシャル層7を $100\text{nm}$ 程度の膜厚で形成する。これによって、 $n$ 型領域1aにおいては、このシリコンエピタキシャル層7とシリコン層4とからなるシリコン層7aが形成される。また、 $p$ 型領域1bにおいては、このシリコンエピタキシャル層7が、以降の工程でゲート絶縁膜を形成する際にその膜質を向上させるためのキャップ層7bになる。

【0026】次に、図4(4)に示すように、シリコンエピタキシャル層7上に、犠牲酸化膜8を形成する。この犠牲酸化膜8は、上記図3(1)を用いて説明した犠牲酸化膜5と同様に形成する。

【0027】その後、図5(1)に示すように、シリコン基板1表面側の素子分離領域に、トレンチ9を形成する。この際、 $n$ 型領域1aと $p$ 型領域1bとにおける素子形成領域を覆い、素子分離領域を露出させる状態で、シリコン基板1の上方にレジストパターン(図示省略)を形成する。このレジストパターンは、KrFエキシマレーザ光を露光光に用いたリソグラフィー法によって形

成する。次に、このレジストパターンをマスクに用いたエッチングによって、素子分離領域に深さ2.8 $\mu$ m程度のトレンチ9を形成する。トレンチ9形成後には、上記レジストパターンを除去する。尚、n型領域1aとp型領域1bとが隣り合う位置に設けられる素子分離領域は、リーク電流の発生を防止するために、シリコン基板1の段差部分を含んだ広めの幅に設定されることとする。

【0028】次に、図5(2)に示すように、高密度プラズマCVD法によって、トレンチ9内を埋め込む状態でシリコン基板1の上方に酸化シリコン膜10を成膜する。その後、図5(3)に示すように、酸化シリコン膜10及び犠牲酸化膜に対してCMP処理を施し、トレンチ9内のみ酸化シリコン膜10を残し、n型領域1aにシリコン層7aを露出させ、p型領域1bにキャップ層7bを露出させる。これによって、トレンチ9内に酸化シリコン膜10を埋め込んでなる浅いトレンチ素子分離(STI; Shallow Trench Isolation)10aを形成する。

【0029】次いで、図6(1)に示すように、熱酸化法によって、シリコン層7a及びキャップ層7bの表面層に膜厚5nm程度の酸化シリコンからなるゲート酸化膜(すなわち請求項に示すゲート絶縁膜に対応する膜である)11を成長させる。このゲート酸化膜11の成膜温度は、犠牲酸化膜5と同様に設定する。

【0030】次に、図6(2)に示すように、スパッタ法等によって、ゲート酸化膜11上にポリシリコン膜12を成膜する。このポリシリコン膜12は、250nm程度の膜厚で成膜する。

【0031】次いで、図6(3)に示すように、リソグラフィ技術によって形成したレジストパターン(図示省略)をマスクに用いてポリシリコン膜12及びゲート酸化膜11をエッチングする。これによって、n型領域1aのシリコン層7a上及びp型領域1bのキャップ層7b上にゲート酸化膜11を介してポリシリコン膜12からなるゲート電極12aを形成する。

【0032】しかる後、ゲート電極12aをマスクに用いたイオン注入によって、n型領域1aのシリコン層7aにソース・ドレイン13aを形成するための不純物を導入し、またp型領域1bのシリコンゲルマニウム層6にソース・ドレイン13bを形成するための不純物を導入する。ここでは、n型領域1aを覆うレジストパターン及びp型領域1bを覆うレジストパターンをそれぞれマスクに用いたイオン注入を行うことによって、n型領域1aにはn型不純物を導入し、p型領域1bにはp型不純物を導入する。その後、上記レジストパターンを除去する。

【0033】次に、図1に示すように、ゲート電極12a及びゲート酸化膜11の側壁に絶縁膜からなるサイドウォール14を形成する。

【0034】以上によって、同一のシリコン基板1におけるn型領域1aにnMOSTr. 15aが設けられ、p型領域1bにpMOSTr. 15bが設けられた半導体装置が得られる。このようにして形成された半導体装置のnMOSTr. 15aは、シリコン基板1上に、シリコンゲルマニウムからなるバッファ層2及びシリコンゲルマニウムからなるリラックス層3を介して形成されたシリコン層7aにソース・ドレイン13aが形成されたものになる。また、上記pMOSTr. 15bは、シリコン基板1上のシリコンゲルマニウム層6にソース・ドレイン13bが形成されたものになる。

【0035】上記nMOSTr. 15aにおいては、バッファ層2上に形成されたことで応力が緩和されたシリコンゲルマニウムからなるリラックス層3上にシリコン層7aを設けたことで、このシリコン層7aでは引っ張り応力に伴うストレイン効果によって電子の移動度が増大し、このシリコン層7aにソース・ドレイン13aが形成された上記nMOSTr. 15aにおいて動作速度の向上が図られる。一方、pMOSTr. 15bにおいては、シリコン基板1上にシリコンゲルマニウム層6を設けたことで、このシリコンゲルマニウム層6は圧縮応力に伴うストレイン効果によって正孔の移動度が増大し、このシリコンゲルマニウム層6にソース・ドレイン13bが形成された上記pMOSTr. 15bにおいて動作速度の向上が図られる。

【0036】しかも、この半導体装置においては、同一の基板上にnMOSTr. 15aとpMOSTr. 15bとが設けられたCMOS構成になっていることから、低消費電力を達成できる。また、上述のように、nMOSTr. 15a、pMOSTr. 15b共に動作速度の向上が図られたものであることから、シリコン基板のみで基板が構成された従来のCMOSと比較して、論理回路の動作速度を数倍～数十倍程度高速化することができる。

【0037】また、結晶欠陥の生じやすい部分、すなわちn型領域1aとp型領域1bとの境目は、図4

(1)、図4(2)を用いて説明したトレンチ素子分離10aの形成工程で除去されるため、所望のトランジスタ性能を得ることがでる。さらに、シリコン基板のみで基板が構成された従来のCMOSと平面構造が同等であるため、回路寸法が同等で設計に対する負荷は全くない。しかも、上記各工程は、全て従来のシリコン基板のみからなる半導体装置に汎用的に用いられている技術を適用したことで、生産性を低下させることもない。

【0038】

【発明の効果】以上説明したように本発明の半導体装置によれば、引っ張り応力によるストレイン効果によって電子の移動度を増大させたnチャンネル型電界効果トランジスタと、圧縮応力によるストレイン効果によって正孔の移動度を増大させたpチャンネル型電界効果トラン



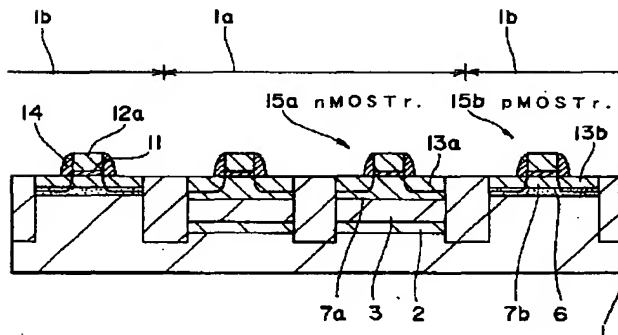
ジスタとを同一基板上に設けたことで、相補型電界効果トランジスタを構成して消費電力の低下を図ることが可能になり、かつ相補型に構成された電界効果トランジスタの動作速度の向上を図ることが可能になる。

【0039】また、本発明の半導体装置の製造方法によれば、引っ張り応力に伴うストレイン効果によって電子の移動度を増大させたnチャンネル型電界効果トランジスタと、圧縮応力に伴うストレイン効果によって正孔の移動度を増大させたpチャンネル型電界効果トランジスタとを同一のシリコン基板上に形成することが可能になる。またこれと共に、シリコン基板のn型領域に形成された段差凹部にバッファ層、リラックス層及びシリコン層を形成し、p型領域にシリコンゲルマニウム層を形成して平坦化することで、上記nチャンネル型電界効果トランジスタ及びpチャンネル型電界効果トランジスタのゲート電極を平坦な基板上に形成することができる。したがって、シリコン基板のみで基板が構成される半導体装置と同等の平面構造で回路設計に対する負荷を増加させることなく上記半導体装置を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一例を示す断面図であ

【図1】



る。

【図2】本発明の半導体装置の製造方法の一例を示す断面工程図（その1）である。

【図3】本発明の半導体装置の製造方法の一例を示す断面工程図（その2）である。

【図4】本発明の半導体装置の製造方法の一例を示す断面工程図（その3）である。

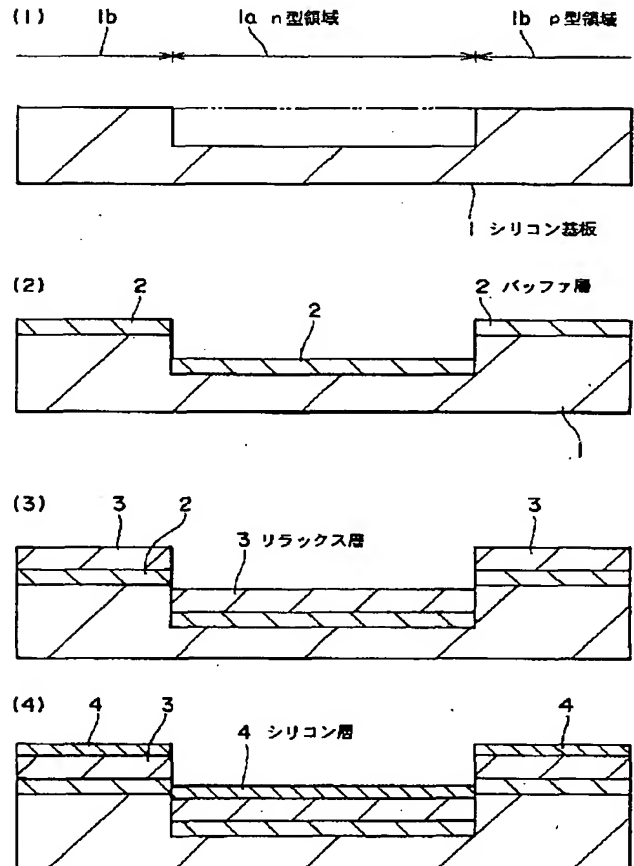
【図5】本発明の半導体装置の製造方法の一例を示す断面工程図（その4）である。

【図6】本発明の半導体装置の製造方法の一例を示す断面工程図（その5）である。

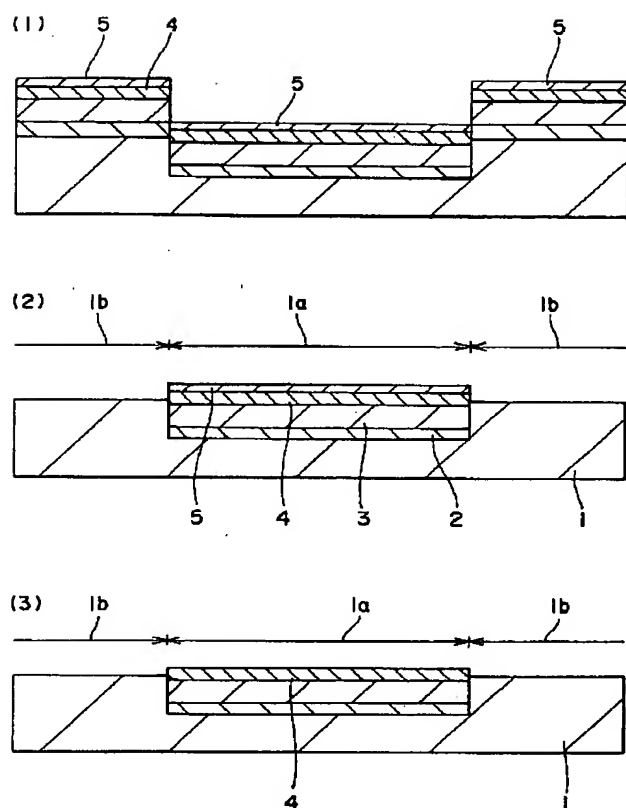
【符号の説明】

1…シリコン基板、1a…n型領域、1b…p型領域、  
2…バッファ層、3…リラックス層、4…シリコン層、  
6…シリコンゲルマニウム層、7a…シリコン層、7b…  
キャップ層、11…ゲート酸化膜（ゲート絶縁膜）、  
12a…ゲート電極、13a…ソース・ドレイン（n型）、  
13b…ソース・ドレイン（p型）、15a…n  
MOSTr.（nチャンネル型電界効果トランジスタ）、  
15b…pMOSTr.（pチャンネル型電界効果トランジスタ）

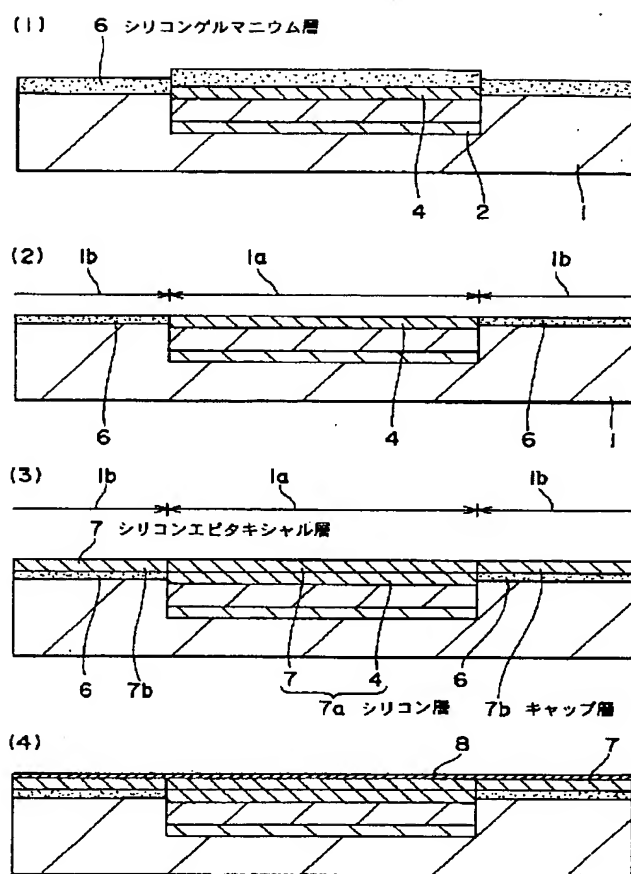
【図2】



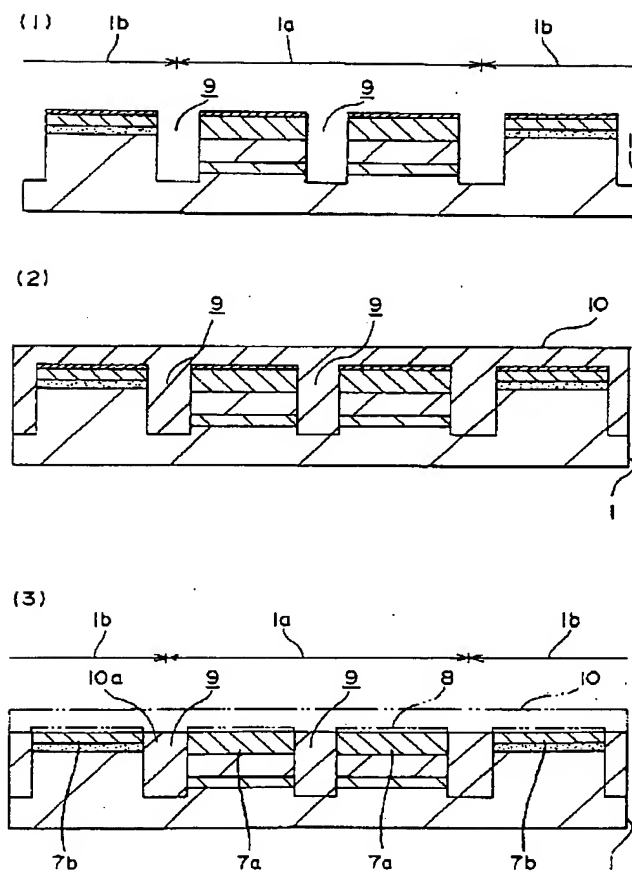
【図3】



【図4】



【図5】



【図6】

